

Kokai (Japanese Unexamined Patent Publication) No.2001-53033  
Title of the Invention: Dicing Method for Semiconductor Device  
Publication Date: February 23, 2001  
Application No. 11-228665  
Filing Date: August 12, 1999  
Applicant: Texas Instrument Japan Incorporated  
Inventors: M. Masumoto, K. Masumoto and K. Yamaguchi

#### ABSTRACT

##### [Problems to be Solved]

To provide a dicing method, for semiconductor devices, that is capable of avoiding occurrence of cracks in the semiconductor chips which may cause silicon debris to be produced or clogging of the dicer blade with resin.

##### [Means to Solve the Problem]

A dicing method for dicing a semiconductor wafer having a plurality of electronic circuits formed on the main surface to form a semiconductor device according to the present invention, comprises the steps of forming grooves that demarcate boundaries of said electronic circuits on said main surface, filling resin into said grooves, grinding said semiconductor wafer from back-surface side to expose said resin, and severing each of said electronic circuits as a semiconductor device by cutting said semiconductor wafer along said grooves.

#### CLAIMS

1. A dicing method for dicing a semiconductor wafer having a plurality of electronic circuits formed on the main surface for forming semiconductor devices, comprising the steps of:

forming grooves on the semiconductor wafer from the side of said main surface to demarcate said electronic circuits;

filling resin into said grooves;

grinding said semiconductor wafer from the side of back-surface so as to expose said resin; and

severing each of said electronic circuits as a semiconductor device by cutting said semiconductor wafer along said grooves.

2. A dicing method for forming semiconductor devices according to claim 1, wherein said severing step of cutting said semiconductor wafer leaves resin on the sides of said semiconductor devices severed individually.

3. A dicing method for forming semiconductor devices according to claim 1 or 2, wherein the main surface of said semiconductor wafer is coated with resin when said grooves are filled with resin.

4. A dicing method for forming semiconductor devices according to claim 1, 2 or 3, wherein said filling step of filling said grooves with resin is carried out by means of a spin coat process.

#### [DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Field of the Invention]

The present invention relates to a semiconductor device and a method for fabricating same, and more particularly to a dicing method for semiconductor devices that are packaged at wafer level so as to be miniaturized and high in density.

[0002]

[Prior Art]

In the field of semiconductor devices such as VLSI (Very Large Scale Integration) devices, size reduction to 70 percent in 3 years has been conventionally realized to achieve miniaturization and high density. To keep pace with above-mentioned development, miniaturization and high density has also been achieved in the package form of semiconductor devices. For example, semiconductor devices have developed from the lead-insertion type (THD: Through Hole Mount Device) such as DIP (Dual Inline Package) to surface mount type (SMD: Surface Mount Device) such as QFP (Quad Flat Package), and further to BGA (Ball Grid Array) in which output terminals are

provided as an area on the surface comprising electronic circuit of a semiconductor chip, to achieve further miniaturization. Active research is still being continued with the development of a CSP (chip size package) in which packaging can be realized in size as small as a semiconductor chip.

[0003]

Above-mentioned semiconductor device in the form of a conventional chip size package and its packaging method will be described below with reference to drawings. FIG. 11(a) is a perspective view showing a semiconductor device in the form of a conventional chip size package, and FIG. 11(b) is a sectional view taken along the line A-A' in FIG. 11(a). The surface of the semiconductor chip having electronic circuits formed thereon is covered with an unshown insulating film such as a silicon nitride film. Openings are provided in above-mentioned insulating film for connection to pad electrodes of said electronic circuits, and bumps (protruding electrodes), for example, solder ball bumps, gold stud bumps, or the like, are formed so as to be connected to the pad electrodes of the electronic circuits.

[0004]

FIG. 12 is a sectional view showing an apparatus in which above-mentioned semiconductor device in the form of chip size package is mounted or packaged on a packaging substrate. The packaging substrate for packaging above-mentioned semiconductor device has electrodes 31 formed in positions corresponding to the positions of the bumps 11 of the semiconductor device to be packaged, on the upper surface of the substrate made, for example, of glass-epoxy resin type material, and unshown printed circuits formed on the upper surface, on the back surface or inside of the substrate 30 in connection with the electrodes 31. In order to package the semiconductor device to above-mentioned packaging substrate, the semiconductor device is mounted on the substrate so as to position bumps 11 properly at the corresponding electrodes 31 of the packaging substrate, and then the solder ball bumps are

reflowed (in the case of gold stud bumps, cream solder or the like supplied by printing or the like is reflowed) so as to connect the electrodes 31 to bumps 11 both electrically and mechanically. Then, gaps formed between the packaging substrate and the semiconductor device is sealed with coated resin 40 such as epoxy resin to complete the packaged form as shown in the figure.

[0005]

A method for fabricating above-mentioned semiconductor device will be described below with reference to drawings. First, as shown in FIG. 13(a), bumps 11 such as solder ball bumps are formed on a semiconductor wafer 10 where a plurality of electronic circuit patterns for the semiconductor chip have been repeatedly formed, so as to be connected to the electronic circuit patterns for the semiconductor chip.

[0006]

Next, as shown in FIG. 13(b), on the surface of the semiconductor wafer 10 on which the bumps 11 are formed, a wafer fixing sheet 20 made of a UV setting resin sheet, and so on, is pasted for back-grinding. Film thickness of the wafer fixing sheet 20 should be sufficient to absorb the height of the bumps 11. Then, the semiconductor wafer 10 is ground with a grinder BG from the back surface opposite to the surface having electronic circuits formed thereon, until a predetermined thickness is obtained.

[0007]

Next, as shown in FIG. 13(c), the semiconductor wafer 10 that has been ground to the predetermined thickness as described above is cut at predetermined cutting positions with a dicer D to produce an individually severed semiconductor chip 10a. The semiconductor chip 10a severed as described above can be separated from the wafer fixing sheet 20 to produce the semiconductor device as shown in FIG. 11.

[0008]

[Problems to be Solved by the Invention]

However, as shown in FIG. 14, the above-described

semiconductor device gives rise to a problem that, in the process of cutting the semiconductor wafer at predetermined cutting positions X with a dicer to produce an individual semiconductor chip 10a, a crack (or micro-crack) C tends to occur on the surface portion near an edge of the semiconductor chip 10a on the back-surface side opposite to the surface having electronic circuits formed thereon. When the crack C occurs, a problem may arise with regard to the reduction of the physical strength such as the breaking strength of the semiconductor chip. In addition, the occurrence of cracks causes silicon debris to be produced so that the semiconductor device which must be used in clean environment can no longer be used. In particular, since silicon is electrically conductive, a silicon debris falling on the wiring on the substrate may cause a short-circuit. Since edges of semiconductor silicon, a brittle metal, are exposed and edges (corner surfaces) are easily broken off with shock or contact with other parts, above-mentioned silicon debris is easily produced.

[0009]

The cause for the occurrence of above mentioned cracks is explained below with reference to drawings. As shown in FIG. 15(a), when the semiconductor wafer 10 that was affixed to the wafer fixing sheet 20 and ground to specified thickness, is cut with the dicer D at a predetermined cutting position, a crack C tends to be produced in the vicinity of the cutting position due to the stress exerted by the dicer to the wafer, while the dicer D cuts to some depth. The cracks tend to be produced more frequently as the semiconductor wafer becomes thinner. Therefore, as the size of semiconductor chips has become small, the occurrence of cracks has become more and more notable. When a crack C is formed as described above and as shown in FIG. 15(b), upon completion of cutting with the dicer D at a predetermined cutting position, the cracks that have occurred leads to separation at a corner surface on the back-surface of the semiconductor chip 10a opposite to the surface having electronic circuit formed thereon.

[0010]

In addition, when the dicer D cuts the wafer completely at the predetermined position, at least a part of the wafer fixing sheet made of UV setting resin or the like is also cut by the dicer, leading to clogging of the dicing blade of the dicer D with the resin. This occurs because the dicer that was intended originally to cut silicon is used to cut the portion of the resin.

[0011]

It is an object of the present invention to resolve above described problems by providing a dicing method for semiconductor devices which permits a semiconductor wafer to be divided into individual semiconductor chips without giving rise to the clogging of a dicer blade with resin while avoiding the occurrence of cracks that produce silicon debris in the surface layer portion of the back-surface side of the semiconductor chip opposite to the surface having electronic circuit formed thereon.

[0012]

[Means to Resolve the Problems]

In order to attain the object as described above, the dicing method according to the present invention for dicing a semiconductor wafer which has a main surface with a plurality of electronic circuits formed thereon, comprises the steps of forming grooves that demarcate said electronic circuits from the side of said main surface, filling resin into said grooves, grinding said semiconductor wafer so as to expose said resin, and severing each of said electronic circuits into individual semiconductor circuits by cutting said semiconductor wafer along said grooves.

[0013]

In the dicing method according to the present invention, said severing step of cutting the semiconductor wafer is preferably carried out so as to leave said resin on the sides of said individually severed semiconductor devices.

[0014]

Further preferably, in the dicing method according to the present invention, said filling step of filling the grooves with resin is carried out so as to cover said main surface of the semiconductor wafer with resin. Further, said filling step of filling the grooves with resin is preferably carried out by means of a spin coat process.

[0015]

According to the above described dicing method of the present invention for semiconductor devices, when a semiconductor wafer is divided into individual semiconductor devices (semiconductor chips), the dicer needs only to cut the portion of the resin (side protection layer) that has been filled into grooves formed at cutting positions of the semiconductor wafer. Thus, the semiconductor wafer can be divided into individual semiconductor chips while avoiding the occurrence of cracks that produce silicon debris in the surface layer portion of the back-surface side of the semiconductor chip opposite to the surface having electronic circuit formed thereon. A dicer for cutting silicon may be used for forming above-mentioned grooves while another dicer for cutting resin or the like may be used for cutting the side protection layer. Thus, a dicer suitable for use with the material of the side protection layer may be used to permit the semiconductor chips to be fabricated without giving rise to clogging of the dicer blade with resin.

[0016]

[Description of the Preferred Embodiments]

Embodiments of the dicing method for semiconductor devices according to the present invention will be explained in detail below with reference to drawings.

[0017]

#### First Embodiment

FIG. 1(a) is a perspective view showing the semiconductor device according to the present embodiment as seen from the side of the bump (protruding electrode)-formed surface, and FIG. 1(b) is a perspective view of the semiconductor device

as seen from the back-surface side. FIG. 1(c) is a sectional view taken along the line A-A' of FIG. 1(a). The surface of the semiconductor chip 10a having electronic circuits formed thereon is covered with an unshown insulating film such as a silicon nitride film, and openings are provided in said insulating film for connection to pad electrodes of the electronic circuits. Bumps (protruding electrodes) 11 such as solder ball bumps, gold stud bumps or the like are formed for connection to pad electrodes of the electronic circuits. The semiconductor chip 10a has a thickness of 125  $\mu\text{m}$ , for example. Sides of said semiconductor chip 10a are covered with a side protection layer 13a of 30  $\mu\text{m}$  in thickness, made of a thermosetting resin such as epoxy resin or a thermoplastic resin such as polyimide resin, for example. The bump-formed surface of said semiconductor chip is covered with a bump-formed surface protecting layer 14 of 25  $\mu\text{m}$  in thickness, made of e.g. a resin in B-stage condition, while exposing at least a part of bumps 11.

[0018]

The above described semiconductor device according to the present embodiment has the construction in which edges of brittle silicon material are not exposed so that silicon debris is not easily produced. In cutting the semiconductor wafer into individual semiconductor chips, cutting needs only to be made in said side protection layer that was filled into the grooves formed at cutting positions of the semiconductor wafer. Thus, the semiconductor wafer can be divided into individual semiconductor chips without giving rise to cracks in the surface layer portion of the back-surface side of the semiconductor chip opposite to the surface having electronic circuits formed thereon. In addition, a dicer for cutting silicon may be used for forming said grooves while another dicer suitable for use with side protection layer material, for example a dicer for cutting resin or the like, may be used for cutting the side protection layer. Thus, in the fabricating process, cutting with dicers can be carried out without giving rise to clogging



of a dicer blade with resin or the like.

[0019]

A method for fabricating above-described semiconductor device is explained below with reference to drawings. First, as shown in FIG. 2(a), bumps 11 such as solder ball bumps or the like are formed on the semiconductor wafer 10 which has electronic circuit patterns corresponding to a plurality of semiconductor chips repeatedly formed thereon, for connection to the electronic circuit pattern of semiconductor chips.

[0020]

Next, as shown in FIG. 2(b), grooves 12 having a first width  $W_1$  of 85  $\mu\text{m}$  and depth  $d$  of 150  $\mu\text{m}$ , for example, are formed with a first dicer D1 for cutting silicon in the surface of the semiconductor wafer 10 having bump 11 formed thereon such that the electronic circuit patterns of semiconductor chips are divided into each demarcated region.

[0021]

Then, as shown in FIG. 2(c), the grooves 12 are filled with epoxy resin or polyimide resin, for example, by means of e.g. screen printing, bubble-jet printing or injection via a micro syringe, to form a first protection layer 13.

[0022]

Next, as shown in FIG. 3(d), a second protection layer (the bump-formed surface protecting layer) 14 is formed by applying, for example, resin in B-stage condition by means of spin coat process so as to cover the bump-formed surface to film thickness of 25  $\mu\text{m}$  while exposing at least a part of bump 11.

[0023]

Then, as shown in FIG. 3(e), a wafer-fixing sheet 20 made of UV setting resin sheet or the like for a back grinding process is affixed to the surface of the semiconductor wafer 10 having bumps 11 formed thereon. The wafer-fixing sheet 20 should have sufficient film thickness to absorb the height of the bumps 11. Then, the semiconductor wafer 10 is ground with a grinder BG from the back-surface side opposite to the surface having

electronic circuits formed thereon until the first protection layer 13 is exposed. The semiconductor wafer 10 is ground to a predetermined thickness  $t$  (for example, around  $125\text{ }\mu\text{m}$ ) that is smaller than the depth  $d$  of the grooves 12. The semiconductor wafer 10 is thereby divided into a plurality of semiconductor chips 10a for each demarcated region.

[0024]

Next, as shown in FIG. 4(f), the first protection layer 13 that has been exposed, as described above, is cut with a second dicer D<sub>2</sub> for cutting resin so as to leave sides of the plurality of semiconductor chips as side protection layers 13a. For example, the first protection layer 13 is cut with a cutting width  $W_2$  of  $25\text{ }\mu\text{m}$  so as to leave  $30\text{ }\mu\text{m}$  each on both sides of the semiconductor chip 10a. The second protection layer 14 is also cut continuously into individual semiconductor chips.

[0025]

Then, as shown in FIG. 4(g), the semiconductor chip 10a that has been severed as described above with the sides and the bump-formed surface being covered with side protection layer 13a and the second protection layer (bump-formed surface protecting layer), can be separated from the wafer fixing sheet 20 to form a semiconductor device as shown in FIG. 1. As shown in FIG. 4(h), after the semiconductor chip 10a is separated from the wafer fixing sheet 20, the first protection layer 13a and the second protection layer 14 can be further separated from the semiconductor chip so that it can be used as a semiconductor chip in bare chip condition.

[0026]

As described above, according to the present embodiment, when the semiconductor wafer is divided into individual semiconductor chips, the dicer needs only to cut through the first protection layer (side protection layer) that was filled into grooves formed at the cutting positions of the semiconductor wafer, and can thus divide the wafer into individual semiconductor chips without giving rise to cracks which produce silicon debris in the surface portion of the

back-surface opposite to the surface having electronic circuit formed thereon. Although a dicer for cutting silicon is used to form the grooves, another dicer suitable for use with material of the side protection layer, for example a dicer for cutting resin, may be used for cutting through the first protection layer (side protection layer). Thus, the occurrence of clogging of the dicer blade with resin or the like can be prevented.

[0027]

FIG. 5 is a sectional view showing semiconductor device according to the present embodiment packaged on a packaging substrate to form an electronic circuit device. The packaging substrate comprises, on the upper surface of a substrate 30 made of, for example, glass-epoxy type material, electrodes 31 formed at positions corresponding to those of bumps 11 of the semiconductor device to be packaged, and an unshown printed circuit wiring on the upper surface, on the back surface, or inside of the substrate 30 to connect the electrodes. In order to package above-described semiconductor device on said packaging substrate, the semiconductor device is mounted on the substrate with the bumps centered at the position of the corresponding electrodes 31 of the packaging substrate, and then, the solder ball bumps (in the case of gold stud bumps, cream solder or the like) are reflowed to connect the electrodes 31 with the bumps 11 both mechanically and electrically. Where a resin in B-stage condition is used as the second protection layer (bump-formed surface protecting layer) 14, the resin may be melt to form a sealing resin 14a to seal the gap between the packaging substrate and the semiconductor device. Alternatively, another resin may be used for sealing the gap between the packaging substrate and the semiconductor device.

[0028]

#### Second Embodiment

FIG. 6(a) is a perspective view showing the semiconductor device according to the present embodiment as seen from the side of the bump (protruding electrodes)-formed surface side,

and FIG. 6(b) is a perspective view of the semiconductor device as seen from the back-surface side. FIG. 6(c) is a sectional view taken along the line A-A' of FIG. 6(a). The surface that has electronic circuits of the semiconductor chip 10a formed thereon is covered with an unshown insulating film such as silicon nitride film, and openings are provided in said insulating film for connection to pad electrodes of above-mentioned electronic circuits. Bumps (protruding electrodes) 11 such as solder ball bumps, gold stud bumps or the like are formed for connection to pad electrodes of the electronic circuits. The semiconductor chip 10a has thickness of 125  $\mu$  m, for example. The sides of said semiconductor chip 10a are covered with a side protection layer 13a of 30  $\mu$  m in thickness, for example. The bump-formed surface of said semiconductor chip 10a is covered with a bump-formed surface protecting layer 14 of 25  $\mu$  m in thickness, for example, which exposes at least a part of bumps 11. The side protection layer 13a and the bump-formed surface protecting layer 14 are formed in one united body of a thermosetting resin such as epoxy resin or a thermoplastic resin such as polyimide resin.

[0029]

The semiconductor device according to the present embodiment as described above is constructed such that the edge surface portion of brittle silicon is not exposed, and therefore silicon debris is not easily produced by shock or the like. When the semiconductor wafer is divided into individual semiconductor chips, the dicer needs only to cut through above-mentioned side protection layer that has been filled into grooves formed at the cutting positions of the semiconductor wafer, and can thus divide the wafer into individual semiconductor chips without giving rise to cracks in the surface portion of the back-surface opposite to the surface having electronic circuit formed thereon. Although a dicer for cutting silicon is used to form the grooves, another dicer suitable for use with material of the side protection layer, for example a dicer for cutting resin, may be used for cutting

through the side protection layer. Thus, in the fabrication process, occurrence of clogging of the dicer blade with resin or the like can be prevented.

[0030]

A method for fabricating above-described semiconductor device is explained below with reference to drawings. First, as shown in FIG. 7(a), bumps 11 such as solder ball bumps or the like are formed on the semiconductor wafer 10 which has electronic circuit patterns repeatedly formed corresponding to a plurality of semiconductor chips, for connection to the electronic circuit pattern of the semiconductor chips.

[0031]

Next, as shown in FIG. 7(b), grooves 12 having a first width  $W_1$  of 85  $\mu\text{m}$  and depth  $d$  of 150  $\mu\text{m}$ , for example, are formed with a first dicer D1 for cutting silicon in the surface of the semiconductor wafer 10 which has bumps 11 formed thereon such that the electronic circuit patterns of semiconductor chips are divided into each demarcated region.

[0032]

Then, as shown in FIG. 7(c), the grooves 12 are filled by spin coat process or the like with a thermosetting resin such as epoxy resin or a thermoplastic resin such as polyimide resin, for example, to form a first protection layer 13. At the same time, a second protection layer (bump-formed surface protecting layer) 14 is formed in one united body so as to cover the bump-formed surface with film thickness of 25  $\mu\text{m}$  while exposing at least a part of the bumps 11.

[0033]

Next, as shown in FIG. 8(d), a wafer-fixing sheet 20 made of UV setting resin or the like for back grind process is affixed to the surface of the semiconductor wafer 10 which has bumps 11 formed thereon. The wafer-fixing sheet 20 should have sufficient film thickness to absorb the height of the bumps 11. Then, the semiconductor wafer 10 is ground with a grinder BG from the back-surface side opposite to the surface which has electronic circuits formed thereon until the first

protection layer 13 is exposed. For example, the semiconductor wafer 10 is ground to a predetermined thickness  $t$  (for example, around  $125\text{ }\mu\text{m}$ ) that is smaller than the depth  $d$  of the grooves 12. The semiconductor wafer 10 is thereby divided into a plurality of semiconductor chips 10a for each demarcated region.

[0034]

Then, as shown in FIG. 8(e), the first protection layer 13 that has been exposed as described above is cut with a second dicer D2 for cutting resin so as to leave the sides of the plurality of semiconductor chips as side protection layers 13a. For example, the first protection layer 13 is cut with cutting width  $W2$  of  $25\text{ }\mu\text{m}$  so as to leave  $30\text{ }\mu\text{m}$  each on both sides of the semiconductor chips 10a. The second protection layer 14 is also cut continuously into individual semiconductor chips.

[0035]

Then, as shown in FIG. 8(f), the semiconductor chip 10a that has been severed as described above, with the sides and the bump-formed surface being covered with side protection layer 13a and the second protection layer (bump-formed surface protecting layer), can be separated from the wafer fixing sheet 20 to form a semiconductor device as shown in FIG. 6. After the semiconductor chip 10a is separated from the wafer fixing sheet 20, the first protection layer 13a and the second protection layer 14 can be also separated from the semiconductor chip so that it can be used as a semiconductor chip in bare chip condition.

[0036]

As described above, according to the present embodiment, when the semiconductor wafer is divided into individual semiconductor chips, the dicer needs only to cut through the first protection layer (side protection layer) that has been filled into grooves formed at the cutting positions of the semiconductor wafer, and can thus divide the wafer into individual semiconductor chips without giving rise to cracks which produce silicon debris in the surface portion of the

back-surface opposite to the surface which has electronic circuit formed thereon. While a dicer for cutting silicon may be used to form the grooves, another dicer suitable for use with material of the side protection layer, for example a dicer for cutting resin, may be used for cutting through the first protection layer (side protection layer). Thus, occurrence of clogging of the dicer blade with resin or the like can be prevented.

[0037]

The semiconductor device according to the present embodiment as described above can be packaged for use on a packaging substrate in the same manner as in the first embodiment.

[0038]

#### Third Embodiment

FIG. 9(a) is a perspective view showing the semiconductor device according to the present embodiment as seen from the side of the bump (protruding electrode)-formed surface, and FIG. 9(b) is a perspective view of the semiconductor device as seen from the back-surface side. FIG. 9(c) is a sectional view taken along the line A-A' of FIG. 9(a). The surface of the semiconductor chip 10a which has electronic circuits formed thereon is covered with an unshown insulating film such as a silicon nitride film, and openings are provided in said insulating film for connection to pad electrodes of above-mentioned electronic circuits. Bumps (protruding electrodes) 11 such as solder ball bumps, gold stud bumps or the like are formed for connection to pad electrodes of the electronic circuit. The semiconductor chip 10a has thickness of 125  $\mu$ m, for example. Sides of said semiconductor chip 10a are covered with a side protection layer 13a of 30  $\mu$ m in thickness, for example, made of a thermosetting resin such as epoxy resin or a thermoplastic resin such as polyimide resin.

[0039]

The semiconductor device according to the present embodiment as described above is constructed such that the edge

portion of brittle silicon is not exposed, and therefore silicon debris is not easily produced by shock or the like. When the semiconductor wafer is divided into individual semiconductor chips, the dicer needs only to cut through above-mentioned side protection layer that has been filled into grooves formed at the cutting positions of the semiconductor wafer, and can thus divide the wafer into individual semiconductor chips without giving rise to cracks which produce silicon debris in the surface portion of the back-surface opposite to the surface having electronic circuit formed thereon. Although a dicer for cutting silicon is used to form the grooves, another dicer suitable for use with material of the side protection layer, for example a dicer for cutting resin, may be used for cutting through the side protection layer. Thus, in the fabrication process, occurrence of clogging of the dicer blade with resin or the like can be prevented.

[0040]

A method for fabricating above-described semiconductor device is explained below with reference to drawings. In just the same manner as the first embodiment as shown in FIG. 2, bumps 11 are formed on the semiconductor wafer 10, and then grooves 12 are formed so as to divide the electronic circuit pattern on the semiconductor wafer into demarcated regions, and a first protective layer 13 is formed by filling the grooves 12 with a thermosetting resin such as epoxy resin or a thermoplastic resin such as polyimide resin by means of e.g. screen printing, bubble jet printing, or injection with a micro syringe or the like.

[0041]

After the first protection layer 13 has been formed, a wafer-fixing sheet 20 made of UV setting resin or the like for back grind process is affixed to the surface of the semiconductor wafer 10 which has bumps 11 formed thereon, as shown in FIG. 10(d). The wafer-fixing sheet 20 should have sufficient film thickness to absorb the height of the bumps 11. Then, the semiconductor wafer 10 is ground with a grinder



BG from the back-surface side opposite to the surface which has electronic circuits formed thereon until the first protection layer 13 is exposed. For example, the semiconductor wafer 10 is ground to a predetermined thickness  $t$  (for example, around  $125\text{ }\mu\text{m}$ ) that is smaller than the depth  $d$  of the grooves 12. The semiconductor wafer 10 is thereby divided into a plurality of semiconductor chips 10a for each demarcated region.

[0042]

Then, as shown in FIG. 10(e), the first protection layer 13 that has been exposed as described above is cut and severed into a plurality of semiconductor chips using a second dicer D2 for cutting resin so as to leave sides of the semiconductor chips covered with a side protection layer 13a. For example, the cutting width  $W2$  is set to  $25\text{ }\mu\text{m}$  and the first protection layer 13 is cut so as to leave  $30\text{ }\mu\text{m}$  each on both sides of the semiconductor chip 10a.

[0043]

Then, as shown in FIG. 10(f), the semiconductor chip 10a that has been severed as described above with the sides remaining covered with side protection layer 13a can be separated from the wafer fixing sheet 20 to form a semiconductor device as shown in FIG. 9. After the semiconductor chip 10a is separated from the wafer fixing sheet 20, the side protection layer 13a can be also separated from the semiconductor chip so that it can be used as a semiconductor chip in bare chip condition.

[0044]

As described above, according to the present embodiment, when the semiconductor wafer is divided into individual semiconductor chips, the dicer needs only to cut through the first protection layer (side protection layer) that has been filled into grooves formed at the cutting positions of the semiconductor wafer, and can thus divide the wafer into individual semiconductor chips without giving rise to cracks which produce silicon debris in the surface portion of the

back-surface opposite to the surface which has electronic circuit formed thereon. While a dicer for cutting silicon may be used to form the grooves, another dicer suitable for use with material of the side protection layer, for example a dicer for cutting resin, may be used for cutting through the first protection layer (side protection layer). Thus, occurrence of clogging of the dicer blade with resin or the like can be prevented.

[0045]

The semiconductor device according to the present embodiment as described above can be packaged for use on a packaging substrate in the same manner as in the first embodiment.

[0046]

The present invention can be applied to any semiconductor device, for example, a semiconductor device of MOS transistor type, bipolar transistor type, BiCMOS type, a semiconductor device equipped with logic circuit and memory, or the like.

[0047]

The dicing method for semiconductor device according to the present invention is not limited to above-described embodiments. For example, the material of the protecting film for covering the sides or the bump-formed surface of the semiconductor chips is not limited to above described resin, but various other resin may be used. Alternatively, material other than resin may be used for this purpose. The protruding electrodes formed on semiconductor chips, such as solder ball bumps, gold stud bumps, or the like may be formed by means of plating method, ball bump method, or the like, and there is no limitation as to its material or forming process. Metal posts with or without rewiring may also be used. Various other modifications may be made without departing from the spirit and scope of the present invention.

[0048]

[Effect of the Invention]

According to the dicing method for semiconductor devices

of the present invention, a semiconductor wafer can be divided into individual semiconductor chips without giving rise to clogging of a dicer blade with resin while avoiding occurrence of cracks which would cause silicon debris to be produced in the surface region of the back-surface side of the semiconductor chip opposite to the surface having electronic circuits formed thereon.

[Brief Description of the Drawings]

FIG. 1(a) is a perspective view showing a semiconductor device according to a first embodiment of the present invention as seen from the side of the bump (protruding electrode) -formed surface;

FIG. 1(b) is a perspective view showing the semiconductor device of FIG. 1(a) as seen from the back-surface side;

FIG. 1(c) is a sectional view taken along the line A-A' in FIG. 1(a);

FIG. 2 is a sectional view showing fabricating process for fabricating the semiconductor device according to the first embodiment, in which (a) shows the bump forming step, (b) shows the groove forming step, and (c) shows the step of forming a first protection layer;

FIG. 3 is a sectional view showing fabricating process for fabricating the semiconductor device as continued from FIG. 2, in which (d) shows the step of forming a second protection layer, and (e) shows the step of grinding the semiconductor wafer with a grinder;

FIG. 4 is a sectional view showing a fabricating process for fabricating the semiconductor device as continued from FIG. 3, in which (f) shows the step of cutting the first protection layer, (g) shows the step of separating the semiconductor chips from the wafer fixing sheet, and (h) shows the step of separating the first and the second protection layers;

FIG. 5 is a sectional view showing the semiconductor device according to the first embodiment as packaged on a packaging substrate;

FIG. 6(a) is a perspective view showing a semiconductor device according to a second embodiment of the present invention as seen from the side of the bump (protruding electrode) -formed surface;

FIG. 6(b) is a perspective view showing the semiconductor device of FIG. 6(a) as seen from the back-surface side;

FIG. 6(c) is a sectional view taken along the line A-A' in FIG. 6(a);

FIG. 7 is a sectional view showing fabricating process for fabricating the semiconductor device according to the second embodiment, in which (a) shows the bump forming step, (b) shows the groove forming step, and (c) shows the step of forming a first and a second protection layers;

FIG. 8 is a sectional view showing fabricating process for fabricating the semiconductor device as continued from FIG. 7, in which (d) shows the step of grinding the semiconductor wafer with a grinder, (e) shows the step of cutting the first protection layer, and (f) shows the step of separating the semiconductor chips from the wafer fixing sheet;

FIG. 9(a) is a perspective view showing a semiconductor device according to a third embodiment of the present invention as seen from the side of the bump (protruding electrode) -formed surface;

FIG. 9(b) is a perspective view showing the semiconductor device of FIG. 9(a) as seen from the back-surface side;

FIG. 9(c) is a sectional view taken along the line A-A' in FIG. 9(a);

FIG. 10 is a sectional view showing fabricating process for fabricating the semiconductor device according to the second (translator's note: "second" should be "third") embodiment, in which (d) shows the step of grinding the semiconductor wafer with a grinder, (e) shows the step of cutting the first protection layer, and (f) shows the step of separating the semiconductor chips from the wafer fixing sheet;

FIG. 11(a) is a perspective view showing a semiconductor device according to a conventional technology as seen from the

side of the bump(protruding electrode)-formed surface;

FIG. 11(b) is a sectional view taken along the line A-A' in FIG. 11(a);

FIG. 12 is a sectional view showing the semiconductor device according to the conventional technology as packaged on a packaging substrate;

FIG. 13 is a sectional view showing fabricating process for fabricating the semiconductor device according to the conventional technology, in which (a) shows the bump forming step, (b) shows the step of grinding the semiconductor wafer with a grinder, and (c) shows the step of dividing the semiconductor wafer into individual semiconductor chips with a dicer;

FIG. 14 is a plan view of a semiconductor device useful for explaining problems with the semiconductor device according to the conventional technology; and

FIG. 15(a) and (b) are sectional views of semiconductor device useful for explaining problems with fabrication method for fabricating semiconductor devices according to the conventional technology.

[Reference Numerals and Symbols]

10---semiconductor wafer

10a---semiconductor chip

11---bump

12---groove

13---first protection layer

13a---side protection layer

14---second protection layer (bump-formed surface protecting layer)

14a, 40---sealing resin

30---substrate

31---electrode

D1, D2, D---dice

BG---grinder

X---cutting position

C---crack

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-53033  
(P2001-53033A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/301

識別記号

F I

H 0 1 L 21/78

フォーマット\*(参考)

Q

審査請求 有 請求項の数 4 O L (全 11 頁)

(21)出願番号 特願平11-228665

(22)出願日 平成11年8月12日(1999.8.12)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都新宿区西新宿六丁目24番1号

(72)発明者 升本 睦

大分県速見郡日出町大字川崎字高尾4260番  
地 日本テキサス・インスツルメンツ株式  
会社内

(72)発明者 樹本 健治

大分県速見郡日出町大字川崎字高尾4260番  
地 日本テキサス・インスツルメンツ株式  
会社内

(74)代理人 100094053

弁理士 佐藤 隆久

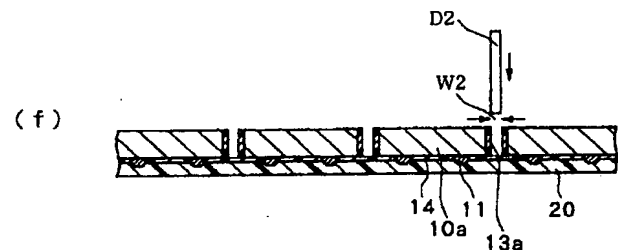
最終頁に続く

(54)【発明の名称】 半導体装置のダイシング方法

(57)【要約】

【課題】ダイサーの歯の樹脂による目詰まりやシリコンくずの原因となる半導体チップのクラックを防止する半導体装置のダイシング方法を提供する。

【解決手段】本発明の半導体装置のダイシング方法は、主面に複数の電子回路が形成されている半導体ウエハに上記主面から上記電子回路を区画する溝を形成する工程と、上記溝に樹脂を充填する工程と、上記半導体ウエハをその裏面側から上記樹脂が露出するように研削する工程と、上記半導体ウエハを上記溝に沿って切断することにより上記電子回路毎に半導体装置として切り離す工程とを有する。



## 【特許請求の範囲】

【請求項1】主面に複数の電子回路が形成されている半導体ウエハに上記主面側から上記電子回路を区画する溝を形成する工程と、

上記溝に樹脂を充填する工程と、

上記半導体ウエハをその裏面側から上記樹脂が露出するように研削する工程と、

上記半導体ウエハを上記溝に沿って切断することにより上記電子回路毎に半導体回路として切り離す工程と、

を有する半導体装置のダイシング方法。

【請求項2】上記半導体ウエハの切断工程は、個々に切り離される上記半導体装置の側面に上記樹脂が残存するようになされる請求項1に記載の半導体装置のダイシング方法。

【請求項3】上記溝に樹脂を充填する際に上記半導体ウエハの主面が樹脂で被覆される請求項1又は2に記載の半導体装置のダイシング方法。

【請求項4】上記溝に樹脂を充填する工程はスピニングによりなされる請求項1、2又は3に記載の半導体装置のダイシング方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に、ウエハレベルでパッケージ化され、小型化および高密度化された半導体装置のダイシング方法に関する。

## 【0002】

【従来の技術】従来、VLSI (Very Large Scale Integration) などの半導体装置においては、3年で7割の縮小化を実現し、小型化および高密度化を達成してきた。上記に伴い、半導体装置のパッケージ形態も小型化、高密度化が達成されてきた。例えば、DIP (Dual Inline Package) などのリード挿入型 (THD: Through Hole Mount Device) から、QFP (Quad Flat Package) などの表面実装型 (SMD: Surface Mount Device) に発展し、さらには出力端子を半導体チップの電子回路形成面上にエリア化したBGA (Ball Grid Array) へと小型化が進められてきた。さらに、半導体チップの大きさ程度でパッケージ化が可能なチップサイズパッケージ (CSP: Chip Size Package) が開発され、活発な研究がなれている。

【0003】上記の従来のチップサイズパッケージ形態の半導体装置およびその実装形態について図面を参照して説明する。図11(a)は従来のチップサイズパッケージ形態の半導体装置の斜視図であり、図11(b)は図11(a)中A-A'における断面図である。半導体チップの電子回路が形成された表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、

例えばはんだボールバンプあるいは金スタッドバンプなどのバンプ (突起電極) が形成されている。

【0004】図12は、上記のチップサイズパッケージ形態の半導体装置を実装基板に実装した装置の断面図である。上記の半導体装置を実装する実装基板は、例えばガラスエポキシ系材料よりなる基板30の上面において、実装する半導体装置のバンプ11の位置に対応する位置に形成された電極31と、電極31に接続して基板30の表面上、裏面上、あるいは基板内部などに形成されている図示しないプリント配線部を有している。上記の半導体装置を上記の実装基板に実装するには、実装基板の電極31に半導体装置のバンプ11を位置合わせしてマウントし、はんだボールバンプ (金スタッドバンプの場合は印刷などにより供給されたクリームはんだなど) をリフローさせて電極31とをバンプ11を機械的かつ電気的に接続し、さらに実装基板と半導体装置の間隙部をエポキシ樹脂などの被膜樹脂40により封止して、図面に示す実装形態とする。

【0005】上記の半導体装置の製造方法について図面を参照して説明する。まず、図13(a)に示すように、複数個分の半導体チップの電子回路パターンが繰り返し形成された半導体ウエハ10上に、半導体チップの電子回路パターンに接続するようにはんだボールバンプなどのバンプ11を形成する。

【0006】次に、図13(b)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグランド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から半導体ウエハ10を所定厚さとなるまでグラインダーBGにより研削する。

【0007】次に、図13(c)に示すように、ダイサーDにより、上記のように所定の厚さとなった半導体ウエハ10を所定の切断位置で切断し、個々に分割された半導体チップ10aとする。上記分割された半導体チップ10aをウエハ固定用シート20から剥がして、図11に示す半導体装置とすることができる。

## 【0008】

【発明が解決しようとする課題】しかしながら、上記の半導体装置は、図14に示すように、ダイサーにより半導体ウエハを所定の切断位置Xで切断し、個々の半導体チップ10aに分割する工程において、電子回路形成面の裏面側における半導体チップ10aの角部近傍の表層部分が欠けてしまうクラックC (あるいはマイクロクラック) が発生するという問題が生じる。クラックCが発生すると、半導体チップの抗折強度などの物理的強度が低下してしまう問題を生じる他、シリコンくずの発生の原因となり、クリーンな環境で用いる必要がある半導体装置としては使用不可となってしまう。特に、シリコンは電気伝導性があるので、基板配線上にシリコンくずが

落下した場合は短絡の原因となる。また、脆性の金属である半導体シリコンの角部が剥き出しになっている構造であるので、衝撃や他の部品との接触により、容易に稜線（角部表層部）などの欠けが生じやすく、上記のシリコンくずを発生しやすくしている。

【0009】上記のクラックが形成される原因について図面を参照して説明する。図15（a）に示すように、ウエハ固定用シート20に張り付けられて、所定の厚さまで研削された半導体ウエハ10の所定の切断位置をダイサーDにより切断する際に、ダイサーDがある程度の深さまで切り進んでいくとダイサーにより押される応力により切断位置の近傍領域にクラックCが発生してしまう。このクラックは、半導体ウエハの厚さが薄くなるほど発生しやすくなっており、半導体チップの小型化に伴ってその発生が顕著になってきた。上記のクラックCが形成されると、図15（b）に示すように、ダイサーDが完全に所定の切断位置を切断したときに、半導体チップ10aの電子回路形成面の裏面側の角部表層部における剥がれとなってしまう。

【0010】また、上記のようにダイサーDが完全に所定の切断位置を切断するときに、紫外線硬化樹脂などからなるウエハ固定用シートの少なくとも一部をダイサーが切断することになるので、ダイサーDの歯は樹脂により目詰まりを起こすという問題を生じる。これは、本来シリコン切断用のダイサーで樹脂部分を切断してしまうからである。

【0011】本発明は上記の問題を鑑みなされたものであり、本発明の目的は、ダイサーの歯が樹脂により目詰まりを起こさず、また、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる半導体装置のダイシング方法を提供することである。

【0012】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置のダイシング方法は、主面に複数の電子回路が形成されている半導体ウエハに上記主面側から上記電子回路を区画する溝を形成する工程と、上記溝に樹脂を充填する工程と、上記半導体ウエハをその裏面側から上記樹脂が露出するように研削する工程と、上記半導体ウエハを上記溝に沿って切断することにより上記電子回路毎に半導体回路として切り離す工程とを有する。

【0013】また、本発明の半導体装置のダイシング方法は、好適には、上記半導体ウエハの切断工程は、個々に切り離される上記半導体装置の側面に上記樹脂が残存するようになされる。

【0014】更に、本発明の半導体装置のダイシング方法は、好適には、上記溝に樹脂を充填する際に上記半導体ウエハの主面が樹脂で被覆される。更に、好適には、

上記溝に樹脂を充填する工程はスピコートによりなされる。

【0015】上記の本発明の半導体装置のダイシング方法によれば、半導体装置（半導体チップ）を半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた樹脂（側面保護層）を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく製造することが可能である。

【0016】

【発明の実施の形態】以下に、本発明の半導体装置のダイシング方法の実施の形態について、図面を参照して説明する。

【0017】第1実施形態

図1（a）は本実施形態にかかる半導体装置をパンプ（突起電極）形成面側から見たときの斜視図であり、図1（b）は裏面側から見たときの斜視図である。また、図1（c）は図1（a）中のA-A'における断面図である。半導体チップ10aの電子回路が形成されている表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、例えばはんだボールパンプあるいは金スタッドパンプなどのパンプ（突起電極）11が形成されている。半導体チップ10aは、例えば125 $\mu$ mの厚さである。上記の半導体チップ10aの側面は、例えばエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などからなり、30 $\mu$ mの膜厚を有する側面保護層13aにより被覆されている。また、上記の半導体チップ10aのパンプ形成面は、少なくともパンプ11の一部を露出させながら例えばBステージの樹脂などからなり25 $\mu$ mの膜厚を有するパンプ形成面保護層14により被覆されている。

【0018】上記の本実施形態の半導体装置は、脆性なシリコンの角部が剥き出しになっていないので、衝撃などによりシリコンくずを発生しにくい構造となっている。また、上記の半導体チップを半導体ウエハから個々に分割する際には、半導体ウエハの切断位置に形成された溝に埋め込まれた上記の側面保護層を切断すればよい構造となっており、半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダ



イサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく、その切断処理を行うことが可能である。

【0019】上記の半導体装置の製造方法について図面を参照して説明する。まず、図2(a)に示すように、複数個分の半導体チップの電子回路パターンが繰り返し形成された半導体ウエハ10上に、半導体チップの電子回路パターンに接続するにはんだボールバンプなどのバンプ11を形成する。

【0020】次に、図2(b)に示すように、半導体ウエハ10のバンプ11形成面に、シリコン切断用の第1のダイサーD1により、半導体チップの電子回路パターンを所定の領域毎に区分するように、例えば85 $\mu$ mの第1の幅W1および150 $\mu$ mの深さdとなる溝12を形成する。

【0021】次に、図2(c)に示すように、例えばスクリーン印刷、バブルジェット印刷あるいはマイクロシリンジによる注入により、溝12を例えばエポキシ樹脂あるいはポリイミド樹脂などにより埋め込んで第1保護層13を形成する。

【0022】次に、図3(d)に示すように、例えばスピコートによりBステージの樹脂を塗布して、少なくともバンプ11の一部を露出させながら25 $\mu$ mの膜厚でバンプ形成面を被覆するように第2保護層(バンプ形成面保護層)14を形成する。

【0023】次に、図3(e)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグラインド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から第1保護層13が露出するまで半導体ウエハ10をグラインダーBGにより研削する。例えば、半導体ウエハ10の厚さとして、溝12の深さdよりも薄い所定の厚さt(例えば125 $\mu$ m程度)となるまで研削する。これにより、半導体ウエハは所定の領域毎の複数個の半導体チップ10aに分割される。

【0024】次に、図4(f)に示すように、樹脂切断用の第2ダイサーD2により、上記のように露出した第1保護層13を複数個の半導体チップ10aの側面を被覆するように残しながら切断して側面保護層13aとする。例えば、切り幅W2を25 $\mu$ mとし、半導体チップ10aの側面にそれぞれ30 $\mu$ mずつ残すように切断する。またこのとき、連続的に第2保護層14も個々の半導体チップ毎に分割される。

【0025】次に、図4(g)に示すように、上記分割され、側面およびバンプ形成面をそれぞれ側面保護層13aおよび第2保護層(バンプ形成面保護層)により被覆された半導体チップ10aをウエハ固定用シート20

から剥がして、図1に示す半導体装置とすることができる。また、図4(h)に示すように、上記のようにウエハ固定用シート20から剥がした後、第1保護層13aおよび第2保護層14を剥離することで、ベアチップ状態の半導体チップとして使用することも可能である。

【0026】上記のように、本実施形態によれば、半導体チップを半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた第1保護層(側面保護層)を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、溝を形成するためにはシリコン用のダイサーを用いることができ、一方第1保護層(側面保護層)を切断するためには樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従って、ダイサーの歯が樹脂などにより目詰まりを起こすことがなくなる。

【0027】図5は、本実施形態の半導体装置を実装基板上に実装した電子回路装置の断面図である。実装基板は、例えばガラスエポキシ系材料よりなる基板30の上面において、実装する半導体装置のバンプ11の位置に対応する位置に形成された電極31と、電極31に接続され、基板30の表面上、裏面上、あるいは基板内部などに形成されている図示しないプリント配線部を有している。上記の半導体装置を上記の実装基板上に実装するには、実装基板の電極31に半導体装置のバンプ11を位置合わせしてマウントし、はんだボールバンプ(金スタッドバンプの場合は印刷などにより供給されたクリームはんだなど)をリフローさせて電極31とをバンプ11を機械的かつ電気的に接続する。このとき、第2保護層(バンプ形成面保護層)14としてBステージの樹脂を用いている場合、この樹脂が溶融して、実装基板と半導体装置の間隙部を封止する封止樹脂14aとすることができる。また、別途、実装基板と半導体装置の間隙部を樹脂により封止してもよい。

#### 【0028】第2実施形態

図6(a)は本実施形態にかかる半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図6(b)は裏面側から見たときの斜視図である。また、図6(c)は図6(a)中のA-A'における断面図である。半導体チップ10aの電子回路が形成されている表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、例えばはんだボールバンプあるいは金スタッドバンプなどのバンプ(突起電極)11が形成されている。半導体チップ10aは、例えば125 $\mu$ mの厚さである。上記の半導体チップ10aの側面は、例えば30 $\mu$ mの膜厚を有する側面保護層13aにより被覆されており、さらに半導体チップ10aのバンプ形

成面は、少なくともバンプ11の一部を露出させながら例えば25 $\mu$ mの膜厚を有するバンプ形成面保護層14により被覆されている。側面保護層13aとバンプ形成面保護層14とはエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などからなり、一体に形成されている。

【0029】上記の本実施形態の半導体装置は、脆性なシリコンの角部が剥き出しになっていないので、衝撃などによりシリコンくずを発生しにくい構造となっている。また、上記の半導体チップを半導体ウエハから個々に分割する際には、半導体ウエハの切断位置に形成された溝に埋め込まれた上記の側面保護層を切断すればよい構造となっており、半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく製造することが可能である。

【0030】上記の半導体装置の製造方法について図面を参照して説明する。まず、図7(a)に示すように、複数個分の半導体チップの電子回路パターンが繰り返し形成された半導体ウエハ10上に、半導体チップの電子回路パターンに接続するようにはんだボールバンプなどのバンプ11を形成する。

【0031】次に、図7(b)に示すように、半導体ウエハ10のバンプ11形成面に、シリコン切断用の第1のダイサーD1により、半導体チップの電子回路パターンを所定の領域毎に区分するように、例えば85 $\mu$ mの第1の幅W1および150 $\mu$ mの深さdとなる溝12を形成する。

【0032】次に、図7(c)に示すように、例えばスピコートによりエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などを塗布して、溝12を埋め込んで第1保護層13を形成すると同時に、少なくともバンプ11の一部を露出させながら25 $\mu$ mの膜厚でバンプ形成面を被覆するように第2保護層(バンプ形成面保護層)14を一体に形成する。

【0033】次に、図8(d)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグラインド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から第1保護層13が露出するまで半導体ウエハ10をグラインダーBGにより研削する。例えば、半導体ウエハ10の厚さとして、溝12の深さdよりも薄い所定の厚さt(例えば125 $\mu$ m程度)となるまで研削する。これにより、半導体ウエハ

は所定の領域毎の複数個の半導体チップ10aに分割される。

【0034】次に、図8(e)に示すように、樹脂切断用の第2ダイサーD2により、上記のように露出した第1保護層13を複数個の半導体チップ10aの側面を被覆するように残しながら切断して側面保護層13aとする。例えば、切り幅W2を25 $\mu$ mとし、半導体チップ10aの側面にそれぞれ30 $\mu$ mずつ残すように切断する。またこのとき、連続的に第2保護層14も個々の半導体チップ毎に分割する。

【0035】次に、図8(f)に示すように、上記分割され、側面およびバンプ形成面をそれぞれ側面保護層13aおよび第2保護層(バンプ形成面保護層)により被覆された半導体チップ10aをウエハ固定用シート20から剥がして、図6に示す半導体装置とすることができる。また、上記のようにウエハ固定用シート20から剥がした後、第1保護層13aおよび第2保護層14を剥離することで、ベアチップ状態の半導体チップとして使用することも可能である。

【0036】上記のように、本実施形態によれば、半導体チップを半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた第1保護層(側面保護層)を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、溝を形成するためにはシリコン用のダイサーを用いることができ、一方第1保護層(側面保護層)を切断するためには樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従って、ダイサーの歯が樹脂などにより目詰まりを起こすことがなくなる。

【0037】上記の本実施形態の半導体装置は、第1実施形態と同様に実装基板上に実装して用いることができる。

### 【0038】第3実施形態

図9(a)は本実施形態にかかる半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図9(b)は裏面側から見たときの斜視図である。また、図9(c)は図9(a)中のA-A'における断面図である。半導体チップ10aの電子回路が形成されている表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、例えばはんだボールバンプあるいは金スタッドバンプなどのバンプ(突起電極)11が形成されている。半導体チップ10aは、例えば125 $\mu$ mの厚さである。上記の半導体チップ10aの側面は、例えばエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などからなり、30 $\mu$ mの膜厚を有する側面保護層13aにより被覆されている。

【0039】上記の本実施形態の半導体装置は、脆性なシリコンの角部が剥き出しになっていないので、衝撃などによりシリコンくずが発生しにくい構造となっている。また、上記の半導体チップを半導体ウエハから個々に分割する際には、半導体ウエハの切断位置に形成された溝に埋め込まれた上記の側面保護層を切断すればよい構造となっており、半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく製造することが可能である。

【0040】上記の半導体装置の製造方法について図面を参照して説明する。半導体ウエハ10上にバンプ11を形成し、半導体チップの電子回路パターンを所定の領域毎に区分するように溝12を形成し、例えばスクリーン印刷、バブルジェット印刷あるいはマイクロシリンジによる注入により、エポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などで溝12を埋め込んで第1保護層13を形成する工程までは、図2に示す第1実施形態と同様である。

【0041】上記のように第1保護層13を形成した後、図10(d)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグランド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から第1保護層13が露出するまで半導体ウエハ10をグラインダーBGにより研削する。例えば、半導体ウエハ10の厚さとして、溝12の深さdよりも薄い所定の厚さt(例えば125 $\mu$ m程度)となるまで研削する。これにより、半導体ウエハは所定の領域毎の複数個の半導体チップ10aに分割される。

【0042】次に、図10(e)に示すように、樹脂切断用の第2ダイサーD2により、上記のように露出した第1保護層13を複数個の半導体チップ10aの側面を被覆するように残しながら切断して側面保護層13aとする。例えば、切り幅W2を25 $\mu$ mとし、半導体チップ10aの側面にそれぞれ30 $\mu$ mずつ残すように切断する。

【0043】次に、図10(f)に示すように、上記分割され、側面を側面保護層13aにより被覆された半導体チップ10aをウエハ固定用シート20から剥がして、図9に示す半導体装置とすることができる。また、上記のようにウエハ固定用シート20から剥がした後、側面保護層13aを剥離することで、ベアチップ状態の半導体チップとして使用することも可能である。

【0044】上記のように、本実施形態によれば、半導体チップを半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた第1保護層(側面保護層)を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、溝を形成するためにはシリコン用のダイサーを用いることができ、一方第1保護層(側面保護層)を切断するためには樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従って、ダイサーの歯が樹脂などにより目詰まりを起こすことがなくなる。

【0045】上記の本実施形態の半導体装置は、第1実施形態と同様に実装基板上に実装して用いることができる。

【0046】本発明の半導体装置としては、MOSトランジスタ系、バイポーラ系、BiCMOS系、あるいはロジックとメモリを搭載した半導体装置など、半導体装置であれば何にでも適用可能である。

【0047】本発明の半導体装置のダイシング方法は上記の実施の形態に限定されない。例えば、半導体チップの側面やバンプ形成面を被覆する保護膜は、上記に記載の樹脂に限定されず、種々の樹脂材料を用いることができる。さらに、樹脂以外の材料を用いることも可能である。また、半導体チップに形成する突起電極としては、はんだボールバンプ、金スタッドバンプなどのバンプをメッキ法やボールバンプ法により形成することができ、その材料や形成方法には限定はない。さらに、再配線を有する場合や有さない場合を含む金属ポストを用いることも可能である。その他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0048】

【発明の効果】本発明の半導体装置のダイシング方法によれば、ダイサーの歯が樹脂により目詰まりを起こすことはなく、また、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。

【図面の簡単な説明】

【図1】図1(a)は第1実施形態に係る半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図1(b)は裏面側から見たときの斜視図であり、図1(c)は図1(a)中のA-A'における断面図である。

【図2】図2は第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はバンプの形成工程まで、(b)は溝の形成工程まで、(c)は第1保護層の形成工程までを示す。

【図3】図3は図2の続きの工程を示し、(d)は第2保護層の形成工程まで、(e)は半導体ウエハをグライ

ンダーにより研削する工程までを示す。

【図 4】図 4 は図 3 の続きの工程を示し、(f) は第 1 保護層を切断する工程まで、(g) は半導体チップをウエハ固定シートから剥離する工程まで、(h) は第 1 保護層および第 2 保護層を剥離する工程までを示す。

【図 5】図 5 は第 1 実施形態に係る半導体装置を実装基板に実装したときの断面図である。

【図 6】図 6 (a) は第 2 実施形態に係る半導体装置をバンプ（突起電極）形成面側から見たときの斜視図であり、図 6 (b) は裏面側から見たときの斜視図であり、図 6 (c) は図 6 (a) 中の A-A' における断面図である。

【図 7】図 7 は第 2 実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a) はバンプの形成工程まで、(b) は溝の形成工程まで、(c) は第 1 保護層および第 2 保護層の形成工程までを示す。

【図 8】図 8 は図 7 の続きの工程を示し、(d) は半導体ウエハをグラインダーにより研削する工程まで、(e) は第 1 保護層を切断する工程まで、(f) は半導体チップをウエハ固定シートから剥離する工程までを示す。

【図 9】図 9 (a) は第 3 実施形態に係る半導体装置をバンプ（突起電極）形成面側から見たときの斜視図であり、図 9 (b) は裏面側から見たときの斜視図であり、図 9 (c) は図 9 (a) 中の A-A' における断面図である。

【図 10】図 10 は第 2 実施形態に係る半導体装置の製

造方法の製造工程を示す断面図であり、(d) は半導体ウエハをグラインダーにより研削する工程まで、(e) は第 1 保護層を切断する工程まで、(f) は半導体チップをウエハ固定シートから剥離する工程までを示す。

【図 11】図 11 (a) は従来例に係る半導体装置をバンプ（突起電極）形成面側から見たときの斜視図であり、図 11 (b) は図 11 (a) 中の A-A' における断面図である。

【図 12】図 12 は従来例に係る半導体装置を実装基板に実装したときの断面図である。

【図 13】図 13 は従来例に係る半導体装置の製造方法の製造工程を示す断面図であり、(a) はバンプの形成工程まで、(b) は半導体ウエハをグラインダーにより研削する工程まで、(c) はダイサーにより個々の半導体チップに分割する工程までを示す。

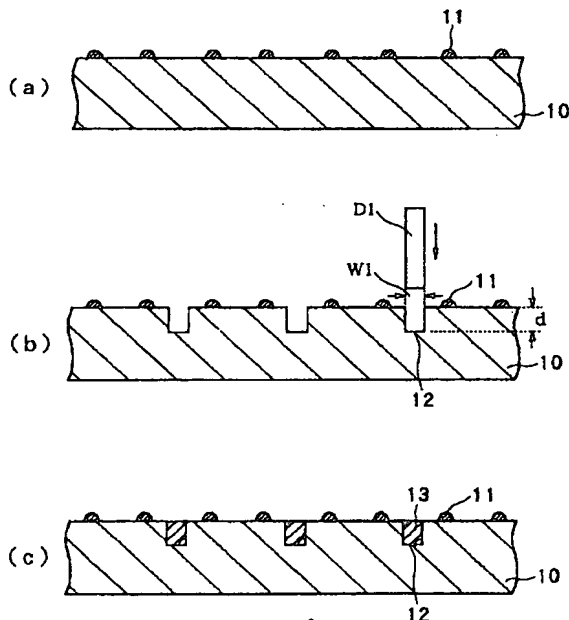
【図 14】図 14 は従来例に係る半導体装置の問題点を説明する半導体装置の平面図である。

【図 15】図 15 (a) および (b) は従来例に係る半導体装置の製造方法の問題点を説明する半導体装置の断面図である。

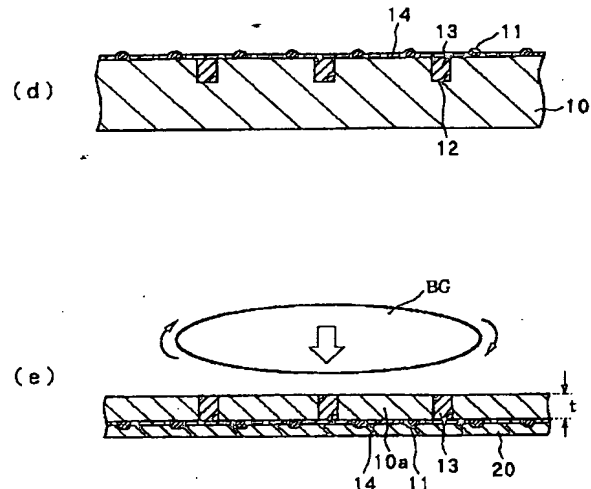
【符号の説明】

10…半導体ウエハ、10a…半導体チップ、11…バンプ、12…溝、13…第 1 保護層、13a…側面保護層、14…第 2 保護層（バンプ形成面保護層）、14a、40…封止樹脂、30…基板、31…電極、D1、D2、D…ダイサー、BG…グラインダー、X…切断位置、C…クラック。

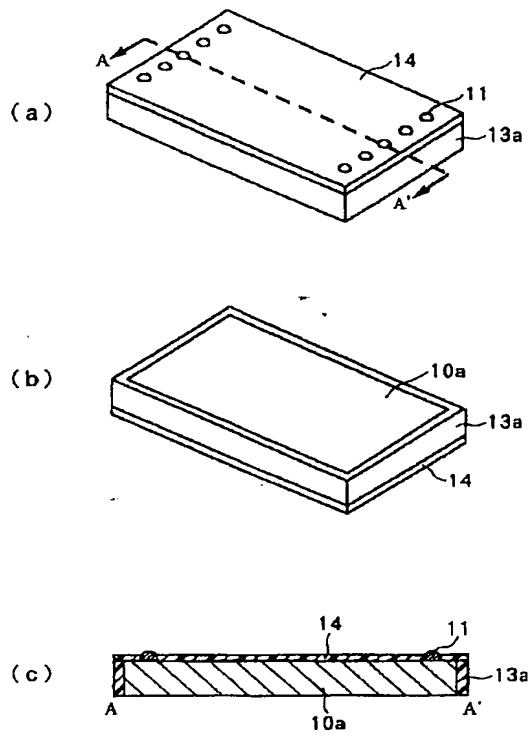
【図 2】



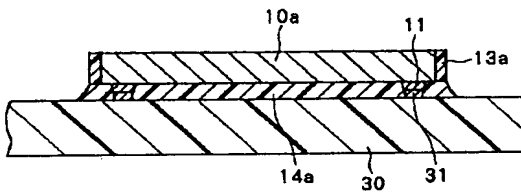
【図 3】



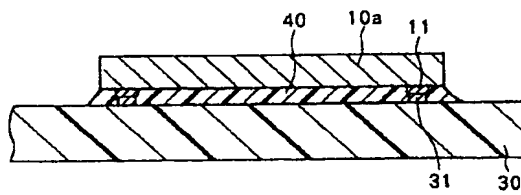
【図 1】



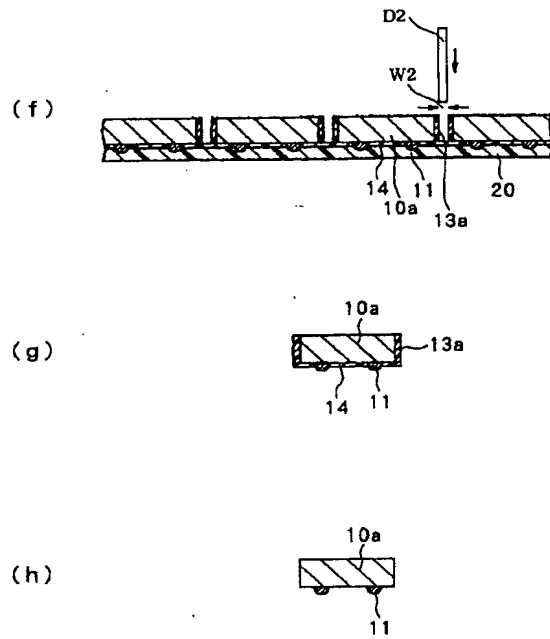
【図 5】



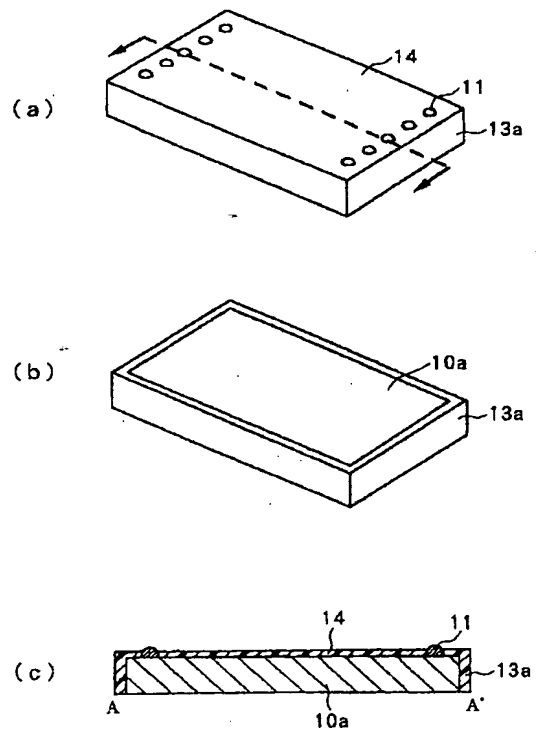
【図 12】



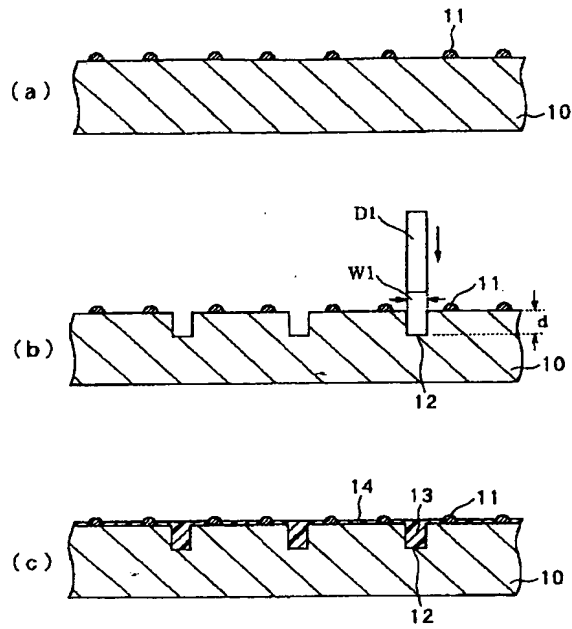
【図 4】



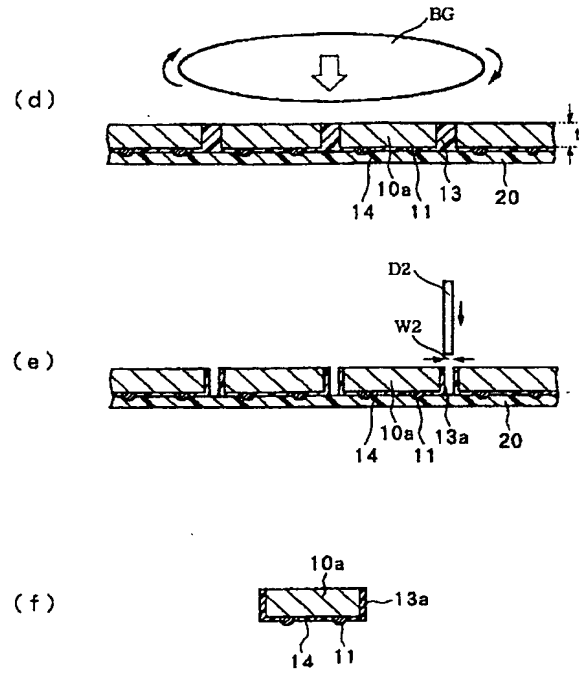
【図 6】



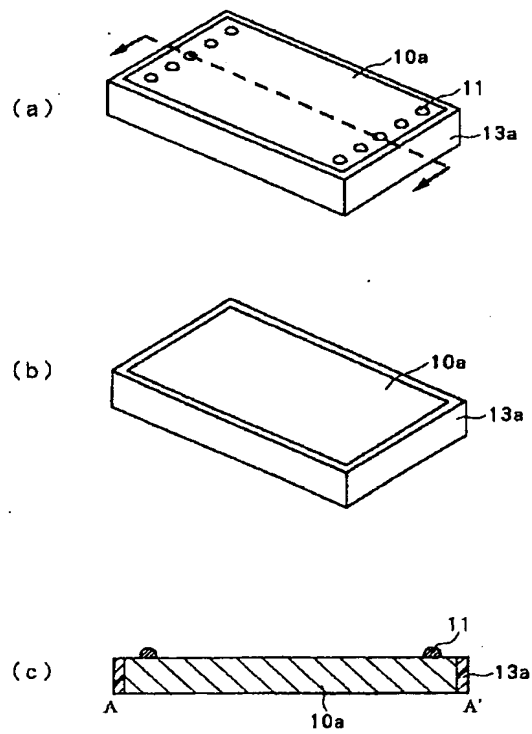
【図 7】



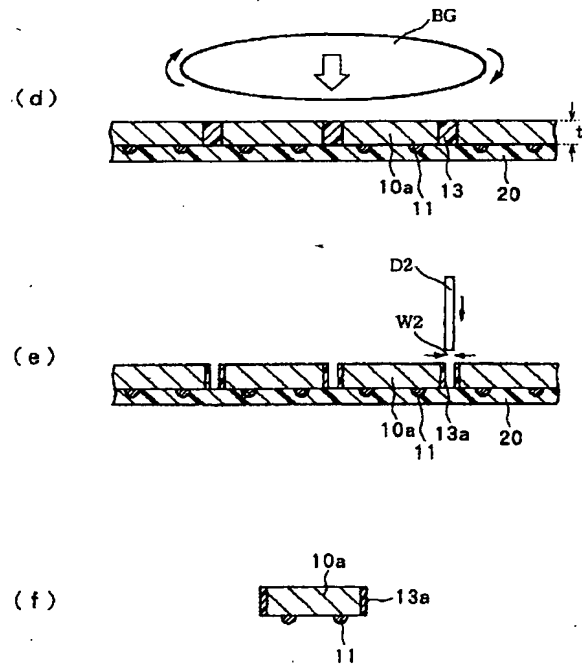
【図 8】



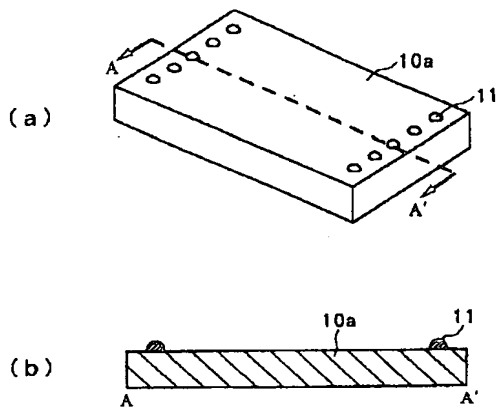
【図 9】



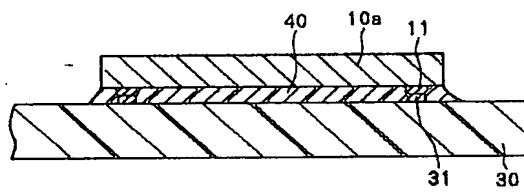
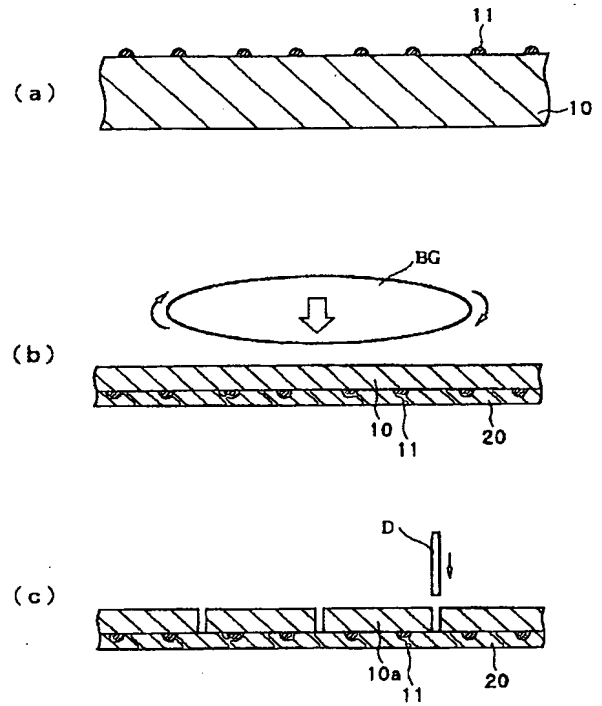
【図 10】



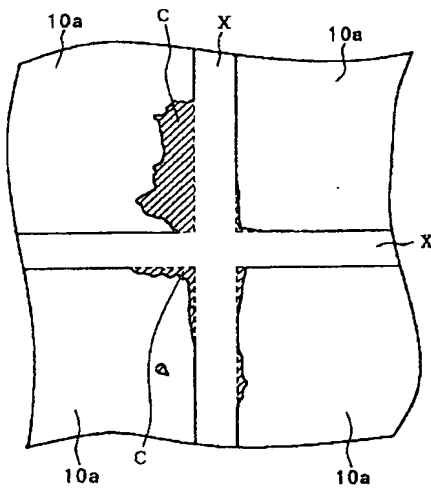
【図 11】



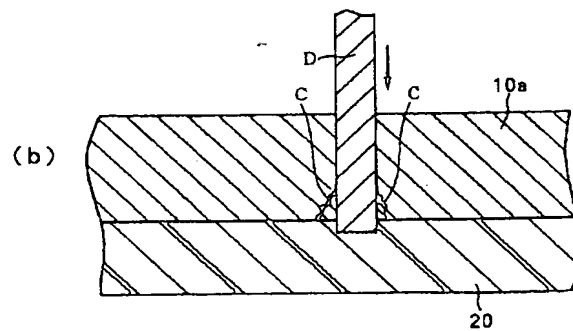
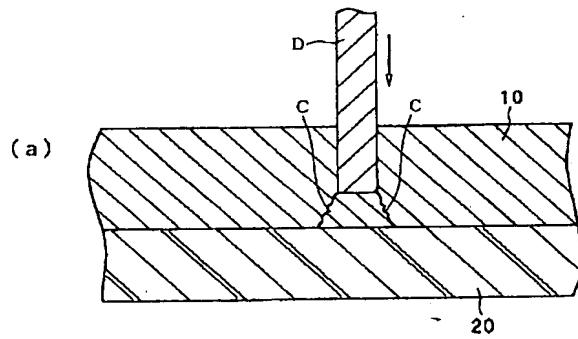
【図 13】



【図 14】



【図 15】



フロントページの続き

(72) 発明者 山口 克己  
大分県速見郡日出町大字川崎字高尾4260番  
地 日本テキサス・インスツルメンツ株式  
会社内